

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2555890号

(45) 発行日 平成 8 年(1996)11月20日

(24) 登録日 平成 8 年(1996) 9 月 5 日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/06			H 0 1 L 27/06	3 1 1 C

請求項の数 1 (全 3 頁)

(21) 出願番号	特願平 1-210335	(73) 特許権者	999999999 日本電気株式会社 東京都港区芝 5 丁目 7 番 1 号
(22) 出願日	平成 1 年(1989) 8 月 14 日	(72) 発明者	上岡 純二 東京都港区芝 5 丁目 33 番 1 号 日本電気 株式会社内
(65) 公開番号	特開平 3-73567	(74) 代理人	弁理士 京本 直樹 (外 2 名)
(43) 公開日	平成 3 年(1991) 3 月 28 日	審査官	今井 淳一
		(56) 参考文献	特開 昭 56-90555 (J P, A)

(54) 【発明の名称】 半導体集積回路の入力保護装置

(57) 【特許請求の範囲】

【請求項 1】 P ウェル或いは P 型基板中に形成された nMOS トランジスタを有し前記 nMOS トランジスタのソース領域及びゲート電極はそれぞれ GND 配線に直接又は抵抗を介して接続され、ドレイン領域は入力パッド及び内部回路の入力ゲートに接続して構成される半導体集積回路の入力保護装置において、前記 nMOS トランジスタのゲート電極に接続されるこれと同層の膜でなる容量用電極並びに層間膜を介して前記ゲート電極及び容量用電極を被覆するとともに前記入力パッドに接続する導電層が設けられていることを特徴とする半導体集積回路の入力保護装置。

【発明の詳細な説明】

〔産業上の利用分野〕

本発明は半導体集積回路の入力保護装置に関し、特に

MOS デバイスを用いた半導体集積回路の入力保護装置に関する。

〔従来の技術〕

従来この種の入力保護装置は nMOS トランジスタの降伏現象を利用して過大な入力電圧をクランプする動作を目的としたもので基本的にはソース領域、ゲート電極を接地し、ドレイン領域に入力パッド及び内部回路の入力ゲートを接続する構成になっており、更に保護抵抗として入力パッドとドレイン領域の間、或いはゲート電極と GND 配線との間に抵抗を挿入した構造のものがある。

第 4 図にこのような入力保護装置を示す。nMOS トランジスタのゲート電極 5、ソース領域 (N 拡散層 2) はアルミニウム膜からなる GND 配線 9 に接続され、ドレイン領域 (N 拡散層 4) はアルミニウム膜 6 で入力パッド (図示しない) 及び内部回路の入力ゲート (図示しな

い)に接続されている。

〔発明が解決しようとする課題〕

上述した従来の入力保護装置は降伏電圧を越える正電圧が印加された時にnMOSトランジスタがアバランシェブレークダウンを起こしNPN寄生バイポーラトランジスタを介してGND端子に電流を流しているが、ブレークダウン動作中はドレインのPN接合部に電界が集中し特にチャネルとの境界部で加速された電子がゲート酸化膜中に注入されることにより微小漏れ電流の原因となっている。

〔課題を解決するための手段〕

本発明は、Pウェル或いはP型基板中に形成されたnMOSトランジスタを有し前記nMOSトランジスタのソース領域及びゲート電極はそれぞれGND配線に直接又は抵抗を介して接続され、ドレイン領域は入力パッド及び内部回路の入力ゲートに接続して構成される半導体集積回路の入力保護装置において、前記nMOSトランジスタのゲート電極に接続されるこれと同層の膜でなる容量用電極並びに層間膜を介して前記ゲート電極及び容量用電極を被覆するとともに前記入力パッドに接続する導電層が設けられているというものである。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図(a)は本発明に関連する入力保護装置を示すパターンレイアウト図、第1図(b)は第1図(a)のA-A線相当部で切断した半導体チップの断面図である。

Pウェル1内に形成されたnMOSトランジスタのソース領域のN⁺拡散層2はコンタクトホール301によってGND配線9に接続され、ゲート電極5はポリシリコン抵抗8を介してGND配線9に接続されドレイン領域のN⁺拡散層4はコンタクトホール3-2によってアルミニウム膜6aに接続されている。アルミニウム膜6aは入力パッド及び入力ゲートに接続しておりnMOSトランジスタのゲート電極5の上部をおおっている。ゲート電極との間にカップリング容量Cが形成される。

第2図は本発明に関連する入力保護装置の等価回路図である。

通常の動作時はnMOSトランジスタMnはオフしているが、入力に降伏電圧以上の正電圧が印加された場合はアルミニウム膜6aとゲートポリシリコン(5)の間のカッ

プリング容量Cによりゲートの電位が上がり、カップリング容量CとゲートGND間抵抗Rの積によって決まる時間の間nMOSトランジスタMnがオンする。チャネルができることにより、ドレインのPN接合での電界集中が緩和され静電耐圧が向上する。

第3図は本発明の第1の実施例を示すパターンレイアウト図である。

nMOSトランジスタのゲート電極5にはある程度の面積のあるポリシリコン層9が接続され、その上部もゲート電極5上と同様にアルミニウム膜6bが覆っている点で第1図及び第2図を参照して説明した入力保護装置と相違している。

この実施例では、入力端子とゲート電極との間のカップリング容量をいっそう大きくでき、静電圧印加時にゲートの電位を上げてnMOSトランジスタをオンにする時間をより大きくできる。

〔発明の効果〕

以上説明したように本発明は、入力パッドと内部回路の入力ゲートとの間に挿入されるゲート電極の上部は入力パッドに接続した導電層で覆うことにより、入力端子に正電圧が印加されたときにゲート電極の電位を上げてnMOSトランジスタを導通させドレインのPN接合での電界集中を緩和し静電耐圧を向上できる効果がある。

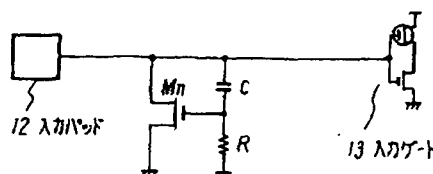
【図面の簡単な説明】

第1図(a)は本発明に関連する入力保護装置を示すパターンレイアウト図、第1図(b)は第1図(a)のA-A線相当部で切断した半導体チップの断面図、第2図は第1図に示した入力保護装置の等価回路図、第3図は第1の実施例を示すパターンレイアウト図、第4図

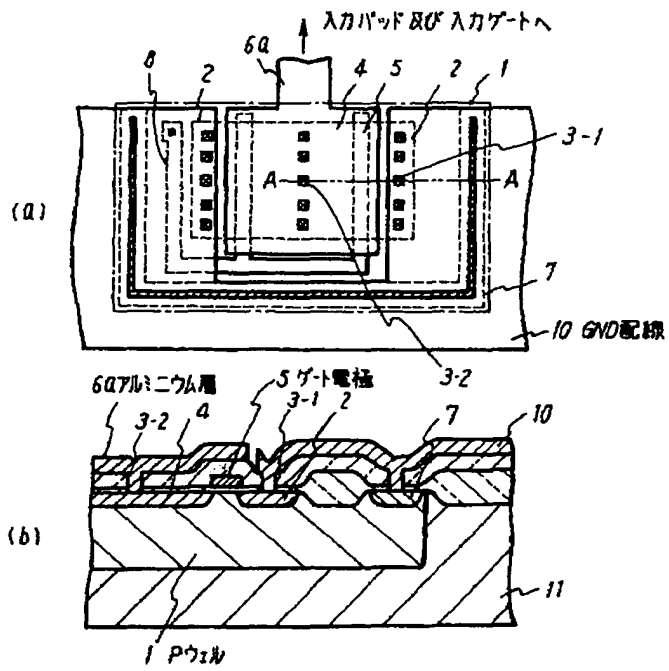
(a)は従来例を示すパターンレイアウト図、第4図(b)は第4図(a)のA-A線相当部で切断した半導体チップの断面図である。

1……Pウェル、2……N⁺拡散層(ソース領域)、3,3-1,3-2……コンタクトホール、4……N⁺拡散層(ドレイン領域)、5……ゲート電極、6,6a,6b……アルミニウム膜、7……P⁺拡散層(ウェルコンタクト)、8……ポリシリコン抵抗、9……容量用ポリシリコン膜、10……GND配線、11……N型半導体基板、12……入力パッド、13……入力ゲート。

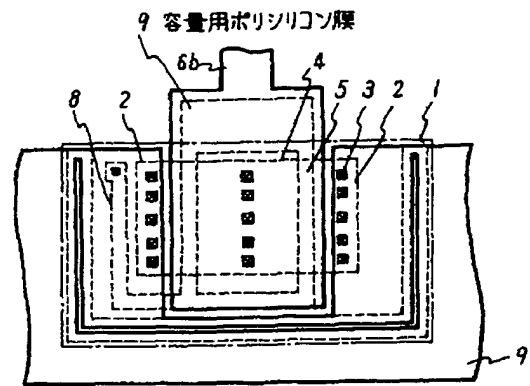
【第2図】



【第1図】



【第3図】



【第4図】

